



(19)

(11) Publication number: 10012886 A

Generated Document.

PATENT ABSTRACTS OF JAPAN

(21) Application number: 08164090

(51) Intl. Cl.: H01L 29/786 H01L 21/336

(22) Application date: 25.06.96

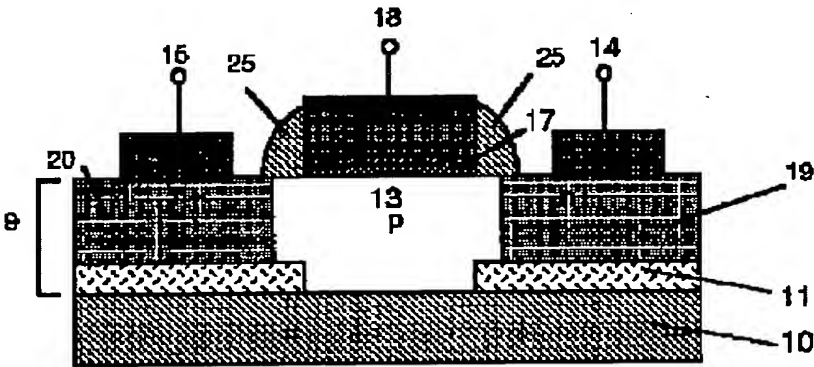
(30) Priority:	(71) Applicant: HITACHI LTD
(43) Date of application publication: 16.01.98	(72) Inventor: HATANO MUTSUOKO AKIMOTO HAJIME
(84) Designated contracting states:	(74) Representative:

(54) SEMICONDUCTOR DEVICE

(57) Abstract:

PROBLEM TO BE SOLVED: To suppress the substrate floating effect of a semiconductor device having a MIS field effect transistor on a semiconductor layer by forming at least one region having a recombination center structure for ionized charges in a polycrystalline Si film.

SOLUTION: An n-type MIS transistor comprises an insulative substrate 10, polycrystalline Si layer 9 deposited on the substrate, source diffused layer 20, source electrode 15 connected thereto, drain diffused layer 19, drain electrode 14 connected thereto, and gate electrode 18 connected through a gate insulation film 17 in the Si layer 9. Crystal defects are locally caused in a part between the transistor and substrate 10 at desired positions and depth by implanting ions of an element e.g. Si, Ar and Ne in the Si layer 9 to form regions 11 as recombination centers. Thus it is possible to suppress the substrate floating effect with holding the high speed and low operating voltage features owing to a low parasitic capacitance of the thin film transistor to obtain a high reliability semiconductor device.



COPYRIGHT: (C)1998,JPO

**Partial English Translation of**  
**LAID OPEN unexamined**  
**JAPANESE PATENT APPLICATION**

**Publication No. 10-12886**

Lines 10 to 44 of the right column on page 3

[0012] Embodiment 1

Figure 1 shows a structure in section of a semiconductor device according to Embodiment 1 of the present invention. A n-type MIS transistor is formed in a polycrystal silicon layer 9 of 100 nm in thickness deposited on an insulating substrate 10 made of glasses by a chemical vapor deposition. The transistor is composed of a source diffusion layer 20, a source electrode 15 connected thereto, a drain diffusion layer 20, a drain electrode 14 connected thereto and a gate electrode 18 connected through a gate insulating film 17 having a thickness of 10 nm. Regions 11, which are made of an amorphous silicon layer having a thickness of 10nm and serve as a mechanism of recombination center of charges, are provided in part of the region between the transistor and the insulating substrate 10. In the structure in which the ends of the recombination center regions 11 are respectively extended into a channel formation region 13 further than the ends of the source diffusion layer 20 and the drain diffusion layer 19, the injection of holes into the recombination center region 11 can be more effectively performed.

[0013] A method of injecting neutral ions selectively is effective for

forming crystal defects functioning as the recombination center. As elements to be used for ionization, those satisfying the following conditions are desirable. The conditions are that; they are effective for both of n-type and p-type transistors; they don't form n and p conductivity by activation; and they have an atomic mass of 10 or more for forming the crystal defects. Examples that satisfy the conditions include Si, Ar, Ne and the like. Injection of ions of such elements into the polycrystal silicon layer enables to generate local crystal defects in an arbitrary region at an arbitrary depth in the polycrystal silicon layer, so as to form a region functioning as the recombination center.

[0014] Figure 2 illustrates a formation method of the recombination center region with the use of Si ions. The polycrystal silicon layer 9 is deposited on the insulating substrate 10 and an ion-injection blocking mask 7 is formed thereon (Figure 2(a)). Further, Si ions, which are neutral ions, are injected, so that the recombination center region 11 is formed in part of the polycrystal silicon layer 9. The depth of the recombination center region 11 is controlled by controlling the energy at injecting the ions. Further, crystallinity is controlled by controlling the energy and the amount of the ions at injecting them.

Lines 7 to 23 of the right column on page 4

[0020] Embodiment 2

Figure 6 shows a structure in section of a semiconductor device according to Embodiment 2. The n-type MIS transistor with a lower gate structure is formed in such a manner that the gate electrode 18, which is

made of polycrystal silicon containing phosphorous and has a thickness of 50 nm, and the gate insulating film 17, which is made of SiO<sub>2</sub> and has a thickness of 100 nm, are deposited by a chemical vapor deposition on the insulating substrate 10 made of glasses, and the source diffusion layer 20, the source electrode 15 connected thereto, the drain diffusion layer 19 and the drain electrode 14 connected thereto are formed in the polycrystal silicon layer 9 with a thickness of 100 nm, obtained by depositing by a chemical vapor growth. The regions 11, which are made of an amorphous silicon layer having a thickness of 10nm and serve as the recombination center of charges, are provided in the surface portion of the polycrystal silicon layer 9 on the source diffusion layer 20 side of the transistor. A selective ion injection method is used for forming crystal defects serving as the recombination center, as referred to in Embodiment 1. The depth of the recombination center region 11 is controlled by controlling the energy at injecting ions.

Line 48 of the right column on page 3 to line 10 of the left column on page 4

[0022] Embodiment 3

Figure 7 shows a structure in section of a semiconductor device according to Embodiment 3 of the present invention. The n-type MIS transistor is formed in the polycrystal silicon layer 9 of 100 nm in a thickness deposited on the insulating substrate 10 made of glasses by a chemical vapor deposition. The transistor is composed of the source diffusion layer 20, the source electrode 15 connected thereto, the drain

diffusion layer 19, the drain electrode 14 connected thereto and the gate electrode 18 connected through the gate insulating film 17. A lightly doped impurity diffusion layers 21 and 22 are formed under the drain diffusion layer 19 and the source diffusion layer 20, respectively. Moreover, the region 11 serving as the recombination center of ionized charges is provided in each of the lightly doped impurity diffusion layers 22 and 21.

Lines 5 to 12 of the right column on page 5

[0026] Embodiment 4

Figure 8 shows a structure in section of a semiconductor device according to Embodiment 4 of the present invention. Similar to Embodiment 2, the lightly doped impurity diffusion layers 21 and 22 are provided, for decreasing the difference of diffusion potentials between the source and the substrate. The present embodiment is characterized in that the heavily doped drain diffusion layer 19 and the heavily doped source diffusion layer 20 are directly connected to the recombination center region 11. Electrons for hole disappearance are supplied from the source diffusion layer 20.

Lines 25 to 29 of the right column on page 5

[0028] The amorphous region 11 serves as the recombination center. The distance between the recombination center region and the channel region 13 is controlled by the film thickness of the gate sidewall insulating film. The distance is preferably 100 nm or less so that charges reach the

recombination center and then disappear.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-12886

(43) 公開日 平成10年(1998) 1月16日

(51) Int.Cl.<sup>5</sup>

H 0 1 L 29/786  
21/336

識別記号

庁内整理番号

F I

H 0 1 L 29/78

技術表示箇所

6 1 8 G

6 1 6 V

6 2 7 F

審査請求 未請求 請求項の数10 O L (全 7 頁)

(21) 出願番号

特願平8-164090

(22) 出願日

平成8年(1996) 6月25日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 波多野 睦子

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 秋元 肇

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(74) 代理人 弁理士 小川 勝男

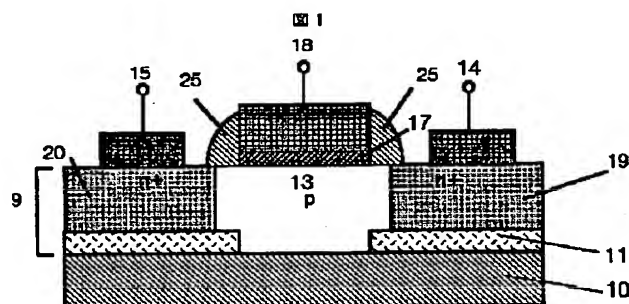
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 絶縁性基板10上の多結晶シリコン薄膜からなる半導体層9にMIS型電界効果トランジスタが構成された半導体装置の基板浮遊効果を抑制する。

【解決手段】 多結晶シリコン薄膜9中に電離電荷に対する再結合中心機構を有する領域11を少なくとも1つ設ける。

【効果】 高速、低電圧動作の特徴を保ちつつ基板浮遊効果を抑制し、信頼性の高い半導体装置を得ることができる。



## 【特許請求の範囲】

【請求項1】絶縁性基板上の多結晶シリコン薄膜からなる半導体層にMIS型電界効果トランジスタが構成された半導体装置において、該多結晶シリコン薄膜中に電離電荷に対する再結合中心機構を有する領域を少なくとも1つ具備することを特徴とする半導体装置。

【請求項2】請求項1記載の半導体装置において、上記トランジスタと上記絶縁性基板の間に電離電荷に対する再結合中心機構を有する領域を具備することを特徴とする半導体装置。

【請求項3】請求項1記載の半導体装置において、上記トランジスタのソース拡散層はソース電極と接続された高濃度不純物拡散領域と、該高濃度不純物拡散領域の下部に配置された低濃度不純物拡散領域からなり、該低濃度不純物拡散領域内には電離電荷に対する再結合中心機構を有する領域を具備することを特徴とする半導体装置。

【請求項4】請求項1記載の半導体装置において、上記トランジスタのソース拡散層はソース電極と接続された高濃度不純物拡散領域からなり、該高濃度不純物拡散領域の下部に電離電荷に対する再結合中心機構を有する領域が接続され、該再結合中心機構を有する領域の側面には該高濃度不純物拡散領域と同導電型かつ低濃度の不純物拡散領域が接続され構成されることを特徴とする半導体装置。

【請求項5】請求項1記載の半導体装置において、上記再結合中心機構を有する領域は、ソース拡散層側に設けられていることを特徴とする半導体装置。

【請求項6】請求項1記載の半導体装置において、上記再結合中心機構を有する領域は、ソース拡散層側とドレイン拡散層側に設けられ、ソース、ドレインに関して対称な構造を有していることを特徴とする半導体装置。

【請求項7】請求項1記載の半導体装置において、上記再結合中心機構を有する領域は、非晶質シリコン層で構成されることを特徴とする半導体装置。

【請求項8】請求項1記載の半導体装置において、上記再結合中心機構を有する領域は、MIS型電界効果トランジスタが構成された多結晶シリコン薄膜よりも結晶欠陥を多く含む多結晶シリコン層で構成されることを特徴とする半導体装置。

【請求項9】請求項1記載の半導体装置において、上記再結合中心機構を有する領域は、選択的に中性イオンを注入することにより形成されることを特徴とする半導体装置。

【請求項10】請求項1記載の半導体装置において、上記再結合中心機構を有する領域は、選択的にレーザビームによるアニール条件を変調することにより形成されることを特徴とする半導体装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、絶縁性基板上の多結晶シリコン薄膜のMIS型電界効果トランジスタからなる半導体装置に関する。

## 【0002】

【従来の技術】ガラスや石英などの絶縁性基板上に薄膜の多結晶シリコン層を形成し、該多結晶シリコン層に薄膜トランジスタを形成する半導体装置が知られている。図9に薄膜トランジスタの断面構造を示す。多結晶シリコン層9に、ソース拡散層20とそれと接続したソース電極15、ドレイン拡散層19とそれと接続したドレイン電極14、チャンネル形成領域13が形成され、さらにゲート絶縁膜17を介してゲート電極18を設置することにより電界効果型トランジスタとして動作する。

【0003】薄膜トランジスタは、トランジスタ形成領域である多結晶シリコン層9と基板10との間が電気的に絶縁されている基板浮遊効果に起因した様々な問題を生じる。最大の問題は、ソース／ドレイン間の耐圧低下である。図9に示すn型トランジスタの場合、ドレイン近傍の高電界領域でインパクトイオン化によって発生した正孔が、チャンネル形成領域13の直下に蓄積され、チャンネルの電位を持ち上げ、ソースから電子の注入を誘導し寄生パイポーラがオンする。このためソース／ドレイン耐圧が低下して短チャンネル効果を引き起こす。すなわち図10に示すようにドレイン電流－電圧特性は、5.0V以下の低いドレイン電圧で電流が急増し、ゲートによる制御が効かなくなる。またオフ状態におけるリーク電流が増大する。従って基板浮遊効果は特にアナログ回路にとっては大きな問題となる。

【0004】基板浮遊効果を抑制するために、基板上の半導体層として単結晶シリコンを用いたSOI（シリコンオンインシュレータ）構造を採用したトランジスタでは、基板の電位を固定する方法、あるいはソース領域のバンド構造を変え、正孔がソースへ吸収されやすくする方法を採用している。前者は図11の平面構造に示すようにチャンネル形成領域の横のゲート電極18の下から活性領域30を引き出し、チャンネル形成領域の電位を固定する方法である。後者はIEDM（インターナショナルエレクトロニクスデバイスミーティング 94, 429ページ（1994年））に開示されており、図12に示すように、ソース領域にゲルマニウムイオンを注入することによりSiGe混晶31を形成する方法である。SiGe混晶31の導入によりバンドギャップは狭くなり、ソース近傍における正孔に対する拡散電位差が減少する。これにより、ドレイン近傍で発生した正孔はソースに拡散して消滅させることができる。

## 【0005】

【発明が解決しようとする課題】上記従来の技術である基板電位を固定する方法は、素子占有面積が大きくなり微細化が困難、低寄生容量化、高速動作化ができないという問題を生じる。またこの技術は活性領域が単結晶シ



リコンであるトランジスタにはある程度有効であるが、抵抗が高い多結晶シリコンからなるトランジスタへ適応した場合、ゲート電極幅方向に電位分布が生じる、正孔引き抜き効果のチャネル幅依存性が顕著になる、等の課題がある。

【0006】一方上記従来の技術である正孔がソースへ吸収されやすくする方法は、n型トランジスタに関してのみ有効であり、p型トランジスタ、相補型トランジスタ(CMOS)には適応不可能である。

【0007】本発明の目的は、基板浮遊効果を抑制することにある。

【0008】

【課題を解決するための手段】上記目的は、多結晶シリコン薄膜中、あるいはトランジスタと絶縁性基板の間に電離電荷に対する再結合中心機構を有する領域を設けることにより達成される。さらに第1の目的をより容易に達成するために、トランジスタのソース拡散層をソース電極と接続された高濃度不純物拡散領域と、該高濃度不純物拡散領域の下部に配置された低濃度不純物拡散領域から構成し、該低濃度不純物拡散領域内に電離電荷に対する再結合中心機構を有する領域を設ける、あるいはソース拡散層はソース電極と接続された高濃度不純物拡散領域から構成し、該高濃度不純物拡散領域の下部に電離電荷に対する再結合中心機構を有する領域を接続し、該再結合中心機構領域の側面には該高濃度不純物拡散領域と同導電型かつ低濃度の不純物拡散領域を配置するとよい。なお再結合中心機構を有する領域は、非晶質シリコン層、またはトランジスタが構成された多結晶シリコン薄膜よりも結晶欠陥を多く含む多結晶シリコン層で構成することにより本発明の目的を達成することができる。

【0009】以下、n型MISトランジスタについて本発明の手段を説明するが、p型MISトランジスタに関しては半導体の導電型を逆の導電型に換えることにより、同様に作用させることができる。

【0010】ドレイン近傍で発生し、チャネル直下の基板に蓄積される正孔は、電子と再結合させることにより消滅し、基板浮遊効果を抑制することができる。本発明では正孔消滅機構として、多結晶シリコンや非晶質シリコン中の結晶欠陥に基づく再結合中心を利用する。電子-正孔再結合時間は、単結晶シリコンでは $10E-4$ 秒程度、結晶性のよい多結晶シリコンでは $10E-6$ 秒程度、結晶性の悪い多結晶シリコンでは $10E-8$ 秒程度、非晶質シリコンでは $10E-12$ 程度、と結晶性によってその値には大きな違いがある。この違いを利用し、半導体層中に結晶性の低い領域を局所的に設け、この領域で電荷を再結合させる。正孔消滅に要する電子はソース拡散層から供給する。このため正孔はソース領域に速やかに注入されるようにすると、再結合効率が増大する。そこで、チャネル直下のp型基板領域と高濃度不純物拡散領域(n+)からなるソース拡散層の間に低濃度不純物拡散領域(n-)を

挿入することにより正孔に対する拡散電位差を低下させる。これにより正孔はソース領域に引き込まれ易くなる。さらにこの低濃度不純物拡散領域に結晶欠陥に基づく再結合中心として作用する領域を設け、注入された正孔をソース拡散層から供給された電子と再結合させることで消滅させることができる。

【0011】

【発明の実施の形態】以下、本発明を実施例を参照して詳細に説明する。

【0012】実施例1

図1は、本発明の実施例1の半導体装置の断面構造を示す図である。ガラスからなる絶縁性基板10上へ化学気相成長法を適用して堆積した厚さ100nmの多結晶シリコン層9中に、ソース拡散層20及びそれと接続したソース電極15、ドレイン拡散層19及びそれと接続したドレイン電極14、厚さ10nmのゲート絶縁膜17を介して接続したゲート電極18から構成されるn型MISトランジスタが形成されている。上記トランジスタと絶縁性基板10の間の一部には、厚さ10nmの非晶質シリコン層からなる電荷の再結合中心機構の作用を有する領域11を具備している。再結合中心領域11の端が、ソース拡散層20とドレイン拡散層19の端部よりもチャネル形成領域13側に延在している構造では、より効率よく正孔を再結合中心領域11へ注入することができる。

【0013】再結合中心として作用する結晶欠陥の形成には、選択的に中性イオンを注入する方法が有効である。イオン化に用いる元素の条件としては、n型とp型トランジスタ共に有効、活性化してnまたはp導電型を形成する元素以外のもの、結晶欠陥を形成するために原子質量が10以上のもの、が望ましい。これらの条件を満たす元素として、Si, Ar, Neなどがある。このような元素のイオンを多結晶シリコン層に注入することにより、多結晶シリコン層中の任意の位置と深さに局所的に結晶欠陥を発生させ、再結合中心として作用する領域を形成することができる。

【0014】図2に、Siイオンを用いた再結合中心領域の形成方法を示す。絶縁性基板10上に、多結晶シリコン層9が堆積され、その上にイオン注入阻止マスク7が形成されている(図2(a))。この状態で中性イオンであるSiイオンを注入して、多結晶シリコン層9の一部に再結合中心領域11を形成する(図2(b))。再結合中心領域11の深さ方向の制御は、イオン注入時のエネルギーで制御される。また、結晶性はイオン注入時のエネルギーとイオン量によって制御される。

【0015】図1の半導体装置構造を実現するために、まずゲート電極18をイオン注入阻止マスクとして中性イオンであるSiイオンを絶縁性基板10の表面で最大の濃度に達する条件で注入して、絶縁性基板10と多結晶シリコン界面領域の多結晶シリコン層を厚さ約10nmに渡って非晶質化させる。次に厚さ50nmのゲート側壁絶縁膜25を

堆積し、この絶縁膜25とゲート電極18をイオン注入阻止マスクとしてAsのイオン注入と熱処理を施し、高濃度のソース、ドレイン拡散層20、19を形成する。

【0016】以上示した方法で得られた本実施例に基づく半導体装置において、トランジスタを構成する多結晶シリコン層9の電子-正孔再結合時間は約 $10E-6$ 秒、再結合中心領域11の電子-正孔再結合時間は約 $10E-10$ 秒である。従ってドレイン近傍の高電界領域でインパクトイオン化によって発生した正孔は、チャネル形成領域13の直下に蓄積される前にソース拡散層20下部に設けた再結合中心領域11に注入され、ソース拡散層20から供給される電子と再結合し、フォノンとなって消滅する。なお、再結合中心領域11は、素子の電流、容量、抵抗値に影響を与えない。このためドレイン電流-電圧特性は図4に示すように、ソース/ドレイン耐圧が5.0V以上に向上し、オフ状態でのリーク電流の低減を図ることができる。

【0017】本実施例によれば、薄膜トランジスタの微細寸法、低寄生容量性による高速・低電圧動作の特徴を保ちつつ容易に基板浮遊効果を抑制し、素子動作が安定で信頼性の高い半導体装置を得ることができる。さらに本実施例ではn型MISトランジスタについて述べたが、p型MISトランジスタに関しては半導体の導電型を逆の導電型に換えることにより、同様に効果を得ることができる。すなわち本実施例は、半導体装置の導電型に関係なく有効であり、n型MISトランジスタ及びp型MISトランジスタの基板浮遊効果を同一製造工程で抑制することにより、製造工程数の増加を抑えることができる。また、本発明の半導体装置は、ソース、ドレインに再結合中心領域を含む対称な構造を有しているため、回路動作条件によりソースードレインを入れ替えた両方向動作に対しても基板浮遊効果を抑制する効果がある。ただし、回路動作条件によりソースードレインの入れ替わりが無い場合には、再結合中心領域11をソース、ドレインのどちらか片側のみに設けることができる。例えば、図5に示した半導体装置のように、再結合中心領域11をソース側にのみ設けてソース電極15を接地して用いた場合、リーク電流をより抑制することができる。

【0018】本実施例ではトランジスタと絶縁性基板10の間の一部に再結合中心機構の作用を有する領域を設けたが、絶縁性基板10上の全領域に設けても同様の効果が得られる。

【0019】本実施例では再結合中心として作用する結晶欠陥の形成として、選択的に中性イオンを注入する方法を用いたが、非晶質シリコン層の結晶化を進める上でのレーザービームアニール条件を変調させる方法を用いても同様の効果が得られる。この方法を図3を用いて説明する。非晶質シリコン層にパルスレーザーを照射し、表面から深さZを溶かすために必要なエネルギーは、レーザーのパワー密度、パルス幅、レーザー照射時間の関数で与

えられる。絶縁性基板10上に、非晶質シリコン層8を堆積した状態で(図3(a))パルス状のレーザーを照射し、非晶質シリコン層8を結晶化させる。再結合中心領域11を形成するために、その領域に照射するレーザーのエネルギーを非晶質シリコンの溶解に必要な値以下に設定するとよい(図3(b))。

#### 【0020】実施例2

図6は、本発明の実施例2の半導体装置の断面構造を示す図である。ガラスからなる絶縁性基板10上へ、リンを含む多結晶シリコンからなる厚さ50nmのゲート電極18、及び厚さ10nmの $SiO_2$ からなるゲート絶縁膜17を化学気相成長法を適用して堆積し、その上に化学気相成長法により堆積した厚さ100nmの多結晶シリコン層9中に、ソース拡散層20及びそれと接続したソース電極15、ドレイン拡散層19及びそれと接続したドレイン電極14が形成され、下ゲート構造のn型MISトランジスタを構成している。さらに上記トランジスタのソース拡散層20側の多結晶シリコン層9の表面に、厚さ10nmの非晶質シリコン層からなる電荷の再結合中心機構の作用を有する領域11を具備している。再結合中心として作用する結晶欠陥の形成には、実施例1に記述したように、選択的に中性イオンを注入する方法を用いる。再結合中心領域11の深さの制御は、イオン注入時のエネルギーで制御される。また、結晶性はイオン注入時のエネルギーとイオン量によって制御される。トランジスタを構成する多結晶シリコン層9の電子-正孔再結合時間は約 $10E-6$ 秒、再結合中心領域11の電子-正孔再結合時間は約 $10E-10$ 秒である。従ってドレイン近傍の高電界領域でインパクトイオン化によって発生した正孔は、チャネル形成領域13に蓄積される前に再結合中心領域11に注入され、ソース拡散層20から供給される電子と再結合し、フォノンとなって消滅する。なお、再結合中心領域11は、素子の電流、容量、抵抗値に影響を与えない。このためドレイン電流-電圧特性は図4に示すように、ソース/ドレイン耐圧が5.0V以上に向上し、オフ状態でのリーク電流の低減を図ることができる。

【0021】本実施例によれば、薄膜トランジスタの微細寸法、低寄生容量性による高速・低電圧動作の特徴を保ちつつ容易に基板浮遊効果を抑制し、素子動作が安定で信頼性の高い半導体装置を得ることができる。さらに本実施例ではn型MISトランジスタについて述べたが、p型MISトランジスタに関しては半導体の導電型を逆の導電型に換えることにより、同様に効果を得ることができる。すなわち本実施例は、半導体装置の導電型に関係なく有効であり、n型MISトランジスタ及びp型MISトランジスタの基板浮遊効果を同一製造工程で抑制することにより、製造工程数の増加を抑えることができる。

#### 【0022】実施例3

図7は、本発明の実施例3の半導体装置の断面構造を示す図である。ガラスからなる絶縁性基板10上へ化学気相

成長法を適用して堆積した厚さ100nmの多結晶シリコン層9中に、ソース拡散層20及びそれと接続したソース電極15、ドレイン拡散層19及びそれと接続したドレイン電極14、厚さ10nmのゲート絶縁膜17を介して接続したゲート電極18から構成されるn型MISトランジスタが形成されている。ソース拡散層20、ドレイン拡散層19の下部にはそれぞれ低濃度不純物拡散領域22、21が接続されており、さらにそれぞれの低濃度不純物拡散領域22、21内には電離電荷に対する再結合中心機構を有する領域11が設けられている。再結合効率を向上させるには、正孔がソース領域に速やかに注入されるようにするとよい。このために、チャンネル直下のp型基板領域と高濃度不純物拡散領域(n+)からなるソース拡散層20の間に低濃度不純物拡散領域(n-)22を挿入することにより、インパクトイオン化の際に発生した正孔に対するソース-基板間の拡散電位差を低下させることができる。これにより正孔はソース領域に引き込まれ易くなる。さらにこの低濃度不純物拡散領域に結晶欠陥に基づく再結合中心として作用する領域を設け、注入された正孔をソースか拡散層から供給された電子と再結合させることで消滅させることができる。

【0023】この構造を実現するために、ゲート電極をイオン注入阻止マスクとしてPイオンを注入し、低濃度不純物拡散層21、22を形成し、引き続きAsイオンを注入し、高濃度のソース、ドレイン拡散層20、19を形成する。上記低濃度不純物拡散層は、絶縁性基板10の表面に達するように条件を設定する。さらにソース、ドレイン拡散層20、19とそれぞれの電極15、14を接続するためのコンタクト穴形成において、上記コンタクト穴から選択的に中性イオンであるSiイオンを絶縁性基板10の表面で最大の濃度に達する条件で注入して、絶縁性基板10と多結晶シリコン界面領域の多結晶シリコン層を厚さ約10nmに渡って非晶質化させる。

【0024】以上示した方法で得られた本実施例に基づく半導体装置において、ドレイン近傍の高電界領域でインパクトイオン化によって発生した正孔は、チャンネル形成領域13の直下に蓄積される前にソース拡散層20下部に設けた再結合中心領域11に速やかに注入され、ソース拡散層20から供給される電子と再結合し、フォノンとなって消滅する。なお、再結合中心領域11は、素子の電流、容量、抵抗値に影響を与えない。このため、ソース/ドレイン耐圧が5.0V以上に向上し、オフ状態でのリーク電流の低減を図ることができる。

【0025】本実施例によれば、薄膜トランジスタの素子の微細寸法、低寄生容量性による高速・低電圧動作の特徴を保ちつつ容易に基板浮遊効果を抑制し、素子動作が安定で信頼性の高い半導体装置を得ることができる。さらに本実施例ではn型MISトランジスタについて述べたが、p型MISトランジスタに関しては半導体の導電型を逆の導電型に換えることにより、同様に効果を得ること

ができる。すなわち本実施例は、半導体装置の導電型に関係なく有効であり、n型MISトランジスタ及びp型MISトランジスタの基板浮遊効果を同一製造工程で抑制することにより、製造工程数の増加を抑えることができる。

#### 【0026】実施例4

図8は、本発明の実施例4の半導体装置の断面構造を示す図である。実施例2と同様に、ソース-基板間の拡散電位差を低下させるための低濃度不純物拡散領域22、21を具備している。高濃度のソース拡散層20、ドレイン拡散層19が直接再結合中心機構領域11に接続されていることが特徴である。正孔消滅に要する電子はソース拡散層20から供給される。

【0027】この構造を実現するために、ゲート電極をイオン注入阻止マスクとしてpイオンを注入し、低濃度不純物拡散層21、22を形成する。上記低濃度不純物拡散層は絶縁性基板10の表面に達するように条件を設定する。この状態でゲート側壁絶縁膜25を形成し、ゲート側壁絶縁膜25とゲート電極18をイオン注入阻止マスクとして中性イオンであるSiイオンを絶縁性基板10の表面に達するように注入して、絶縁性基板と多結晶シリコン界面領域の多結晶シリコン層を厚さ約10nmに渡って非晶質化させる。引き続きゲート側壁絶縁膜25とゲート電極18をイオン注入阻止マスクとしてAsイオンを注入し、高濃度のソース、ドレイン拡散層20、19を形成する。

【0028】この非晶質化した領域11は再結合中心として機能する。再結合中心領域とチャンネル領域13の距離はゲート側壁絶縁膜の膜厚により制御することができる。この距離は、電荷が再結合中心に達し、消滅するため、100nm以下であることが望ましい。

【0029】以上示した方法で得られた本実施例に基づく半導体装置において、ドレイン近傍の高電界領域でインパクトイオン化によって発生した正孔は、チャンネル形成領域13の直下に蓄積される前にソース拡散層20下部に設けた再結合中心領域11に速やかに注入され、ソース拡散層20から供給される電子と再結合し、フォノンとなって消滅する。なお、再結合中心領域11は、素子の電流、容量、抵抗値に影響を与えない。このためソース/ドレイン間の電流電圧特性は図4に示すように、ソース/ドレイン耐圧が5.0V以上に向上し、オフ状態でのリーク電流の低減を図ることができた。

【0030】本実施例によれば、薄膜トランジスタの素子の微細寸法、低寄生容量性による高速・低電圧動作の特徴を保ちつつ容易に基板浮遊効果を抑制し、素子動作が安定で信頼性の高い半導体装置を得ることができた。さらに本実施例ではn型MISトランジスタについて述べたが、p型MISトランジスタに関しては半導体の導電型を逆の導電型に換えることにより、同様に効果を得ることができる。すなわち本実施例は、半導体装置の導電型に関係なく有効であり、n型MISトランジスタ及びp型MISトランジスタの基板浮遊効果を同一製造工程で抑制する

ことにより、製造工程数の増加を抑えることができる。

### 【0031】

【発明の効果】本発明によれば、絶縁基板上的薄膜トランジスタの低寄生容量性による高速、低電圧動作の特徴を保ちつつ基板浮遊効果を抑制し、素子寸法が微細で素子動作が安定で信頼性の高い半導体装置を得ることができる。さらにn型MISトランジスタ及びp型MISトランジスタの基板浮遊効果を同一製造工程で抑制することにより、信頼性の高い相補型トランジスタからなる回路を容易かつ安価に得ることができる。

### 【図面の簡単な説明】

【図1】本発明の実施例1の半導体装置の断面図である。

【図2】本発明の実施例1の製造工程断面図である。

【図3】本発明の実施例1の他の製造工程断面図である。

【図4】本発明による半導体装置の電流電圧特性図である。

【図5】本発明の実施例1の半導体装置の変形例の断面図である。

【図6】本発明の実施例2の半導体装置の断面図である。

【図7】本発明の実施例3の半導体装置の断面図である。

【図8】本発明の実施例4の半導体装置の断面図である。

【図9】従来の半導体装置の断面図である。

【図10】図9に示した従来の半導体装置の電流電圧特性図である。

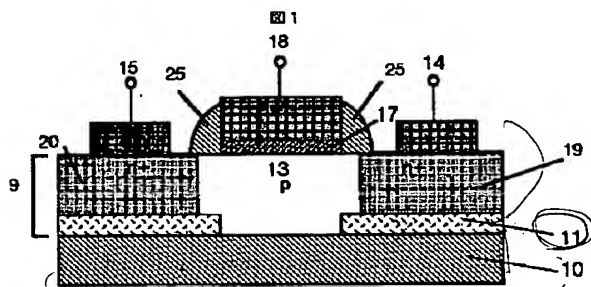
10 【図11】従来の半導体装置の平面図である。

【図12】従来の半導体装置の断面図である。

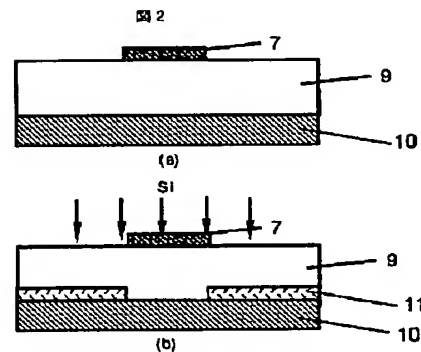
### 【符号の説明】

7…イオン注入阻止マスク、8…非晶質シリコン層、9…多結晶シリコン層、10…絶縁性基板、11…再結合中心領域、13…チャネル形成領域、14…ドレイン電極、15…ソース電極、17…ゲート絶縁膜、18…ゲート電極、19…ドレイン拡散層、20…ソース拡散層、21…低濃度不純物拡散層、25…多結晶シリコン層、25…ゲート側壁絶縁膜、30…活性領域、31…混晶層。

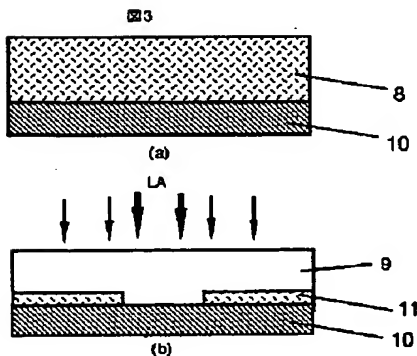
【図1】



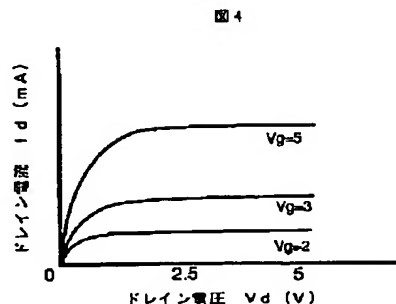
【図2】



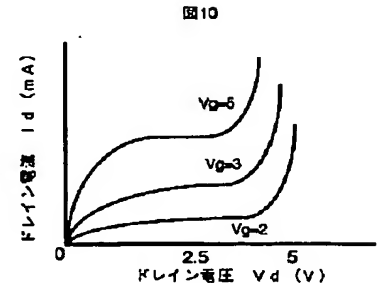
【図3】



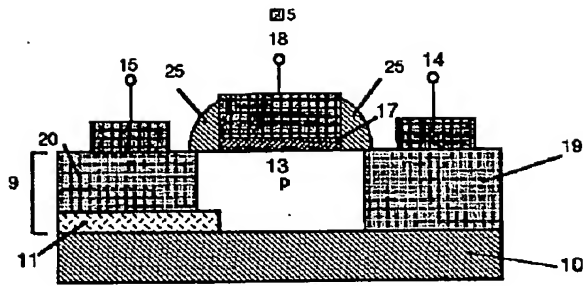
【図4】



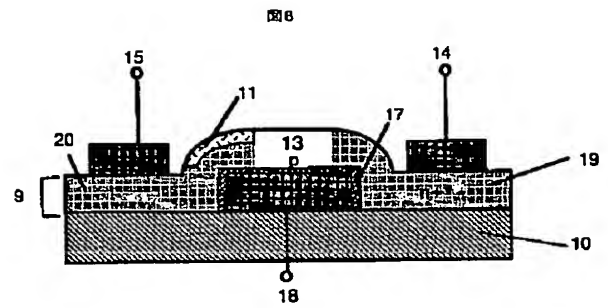
【図10】



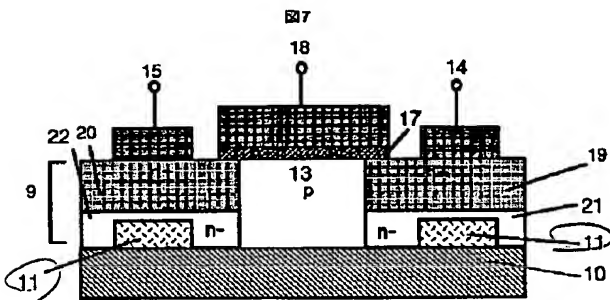
【図5】



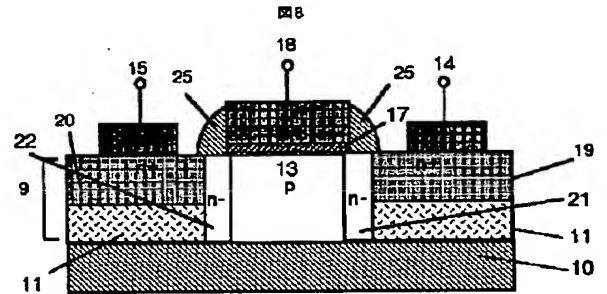
【図6】



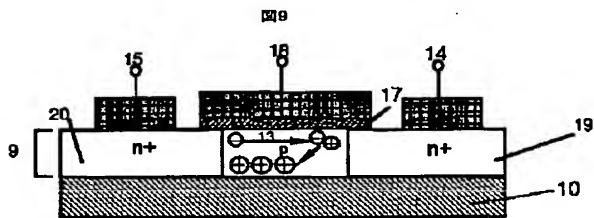
【図7】



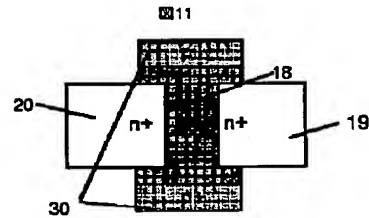
【図8】



【図9】



【図11】



【図12】

